

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-298178
(43)Date of publication of application : 05.12.1988

(51)Int.CI. G01R 31/28
H01L 21/66

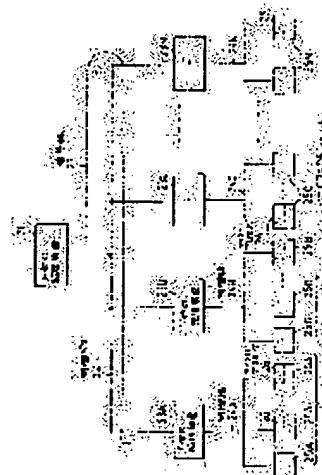
(21)Application number : 62-133815 (71)Applicant : ADVANTEST CORP
(22)Date of filing : 29.05.1987 (72)Inventor : UEDA MOTOO
HASEGAWA SHINPEI
SHIMIZU TOSHIYUKI

(54) IC TEST SYSTEM

(57)Abstract:

PURPOSE: To achieve a higher testing speed, by a method wherein the execution by lines of a test program is controlled with a higher-order processor, actual execution of the program is done with lower-order processors and the results of testing are outputted with signal lines one per element to be tested.

CONSTITUTION: A plurality of lower-order processors 23AW23N are connected to a higher-order processor 21. The processor 21 decides whether a program line read is executed or not checking a state of testing an element to be tested and assigns actual execution of the program line decided to be executed to any of the processors 23AW23N provided at a lower order. The processors 23AW23N judge the propriety of a test data obtained for the element being tested and the results of judgement are supplied to the processor 21 separately through signal lines 27AW27N one per element being tested.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑯日本国特許庁 (JP)

⑪特許出願公開

⑫公開特許公報 (A) 昭63-298178

⑯Int.Cl.
G 01 R 31/28
H. 01 L 21/66

識別記号

府内整理番号

H-6912-2G
Y-6912-2G
Z-6851-5F

⑬公開 昭和63年(1988)12月5日

審査請求 未請求 発明の数 1 (全7頁)

⑭発明の名称 ICテストシステム

⑮特 願 昭62-133815

⑯出 願 昭62(1987)5月29日

⑰発明者 植田 基夫 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

⑰発明者 長谷川 真平 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

⑰発明者 清水 敏行 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

⑰出願人 株式会社 アドバンテ
スト 東京都練馬区旭町1丁目32番1号

⑰代理人 弁理士 草野 卓

明細書

1. 発明の名称

ICテストシステム

2. 特許請求の範囲

(1) テストプログラムの実行を制御する上位の処理装置と、

その上位の処理装置により制御され、テストプログラムを行単位でモジュールアクセスする命令、テストステータスを更新する命令を実行する複数の下位の処理装置と、

上位の処理装置により制御され、命令の実行に伴って被試験素子に対する試験信号の発生、被試験素子の出力信号の測定をそれぞれ行う複数のハードウェアモジュールと

から成るICテストシステムであって、

下位の各処理装置の複数の被試験素子に対する良不良判定する手段を有し、その結果を同時に測定する被試験素子ごとに、上位の処理装置及び下位の各処理装置間のデータバスの異ビット線に出力する手段が設けられ

て成るICテストシステム。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は階層構造をした分散型アーキテクチャを有するICテストシステムに関する。

「従来の技術」

第3図は従来のICテストシステムの構成例を示す図である。ICテストシステムでは、被試験素子を試験するテストシーケンスが記述されたプログラムが記憶装置(図示せず)に格納されており、中央処理装置11が記憶装置からそのテストプログラムを読み出して順次実行するように構成され、例えば半導体メモリ素子を試験するためのテスト動作の全てを中央処理装置11が制御するようになっている。

中央処理装置11には制御線12によりハードウェアモジュール13A, 13B, 13C~13Nが接続されており、中央処理装置12がテストプログラムを解読して実行するに伴って出力する制御信号はこれらハードウェアモジュール13A,

13B, 13C~13Nに供給される。

その制御信号は、例えば、被試験素子の所定の入力端子に対して5.25Vの直流信号を供給するための制御信号であり、この制御信号が供給されると、例えばハードウェアモジュール13Aは5.25Vの直流信号を被試験素子の指定された入力端子に対して供給する。

また、中央処理装置11が出力する制御信号は例えば信号を測定することを指令する制御信号であり、直流電圧を測定するためのハードウェアモジュール13Bは、この制御信号が供給されると、被試験素子の指定された出力端子に接続され、その信号電圧を測定する。

これ等のハードウェアモジュール13A, 13B, 13C~13Nはマイクロプロセッサ14が組み込まれていてもよい。汎用の論理素子だけで試験回路を組むと膨大な個数の論理素子を必要としても、論理回路の多くの部分をマイクロプロセッサ14で組むことにより回路基板を小型に構成することができる。この場合のマイクロプロセッサ14

は単なる論理素子の代替えであり、予め決められたシーケンス制御をするだけであって、特別の判断制御機能を必要とするような使い方は一般にされてない。

このようなICテストシステムでは、ハードウェアモジュール13A, 13B, 13C~13Nは数にして通常は、数十回路以上が備えられており、入出力端子の数が比較的少ないと被試験素子は数個の素子を同時に試験することができる。

「発明が解決しようとする問題点」

中央処理装置はプログラムの解読と実行、つまり、被試験素子の試験を行うための制御信号をハードウェアモジュールなどに出力すると共に、被試験素子が出力する信号の測定及び測定結果の良否の判定など、ICテストシステムの動作に必要とされるあらゆる演算制御を行う必要がある。

例えば、テストプログラムに記述されている電圧信号を被試験素子に供給する場合には、中央処理装置はそのデジタルデータ値をハードウェアモジュールに供給したり、被試験素子の出力信号を

測定する場合には、得られた測定値を必要に応じて補正換算し、所定の判定表と比較して良否の判定をしたり或いはランク付けをすることもある。

このようにして実行された試験結果は各ハードウェアモジュール毎にその試験結果或いは測定データが記憶され、その記憶されている試験結果を集めて、総合的に判断することによりその被試験素子に関する良不良の判定を下している。更に、各試験項目についての測定値の判定及び総合に多大な時間を費やすことになり、速やかな試験を行うことができない。とりわけ電流信号入力-電圧信号出力特性、電圧信号入力-電流信号出力特性のようなDCテストを多数の入出力端子を有する被試験素子に対して迅速且つ正確な試験を実施するには不可能に近い。

またICテストシステムでは、一台の中央処理装置にシステム制御の全てを任せていると、試験速度が遅くなるので、複数の処理装置を用いて構成された分散処理システムを考えることもできる。このような分散処理システムでは、各処理装置が

それぞれ担当して行った各種の試験項目について、一台の主処理装置がそれら試験結果を順次集め、集められた結果を調べることによって、その被試験素子について良不良を判定する必要のあることは同じである。しかも、同時に複数個の被試験素子をテストする場合には一層複雑な処理分けをしなければならず、試験結果の収集、分別及び総合に時間が掛り、被試験素子についての速やかな試験結果を得ることができず、試験速度の向上を図ることができない。

「問題点を解決するための手段」

この発明では、テストシーケンスが記述されたテストプログラムを行単位で実行することを上位の中央処理装置が制御し、そのプログラム行に記述されている制御内容の実際の解読及び実行は、中央処理装置に制御される下位の処理装置に委ねられる。その下位の処理装置はプログラム行を実行することによりハードウェアモジュールへアクセスし、或いはテストステータスの更新などをを行う。

更にこの発明では、複数の被試験素子に対して同時に試験を施して得られた試験項目別測定値の良不良の判定を下位の各処理装置が行い、判定結果は同時に試験された被試験素子ごとに異なるデータ線に一括して上位の処理装置へ出力される。

「発明の作用」

この発明の構成によれば、中央処理装置はテストプログラムの行単位による実行するを制御し、プログラム行の実際の解説及び実行は専用の複数の処理装置によって分散して行われる。また、同時に試験された複数個の被試験素子についての試験結果はそれぞれ被試験素子別に唯一一本の信号線に出力される。

「実施例」

第1図はこの発明のICテストシステムの構成例を示すブロック図である。この例では、ICテストシステムは記憶装置(図示せず)に格納されているテストプログラムの実行するを制御する上位の処理装置21と、この上位の処理装置21に制御バス22を介して接続され、その上位の処理装置

は被試験素子に対するテスト信号を制御するに適した専用の処理装置であり、それぞれに接続されているハードウェアモジュール25A, 25B, 25C～25Nを制御するに適した機械語をプログラム言語としている。処理装置23は上位の処理装置21からプログラム行の実行を委嘱されると、そのプログラム行を解説し、プログラム行の実行に入る。つまり、処理装置23A, 23B, 23C～23Nは被試験素子に対するテスト信号の入出力をする手順が記述された制御プログラムを、図には示していないが記憶装置に保持しており、与えられたプログラム行の解説結果によりその制御プログラムを読出して、プログラム行に記述されている信号の入出力制御をする手順を実行する。

この下位の処理装置23A, 23B, 23C～23Nはそれぞれに接続されているハードウェアモジュール25A, 25B, 25C～25Nにアクセスしたり、テスト状態(端子の接続や測定器の状態)等を変更したりするのに便利な命令語体系をもち、且つマクロ命令化されているので上位

21の制御の下にプログラム行の実際の実行をする複数の下位の処理装置23A, 23B, 23C～23Nと、これ等下位の処理装置23A, 23B, 23C～23Nに制御線24を通じて制御されるハードウェアモジュール25A, 25B, 25C～25Nとで階層的に構成される。

即ち、被試験素子を試験するテストプログラムは試験の手順が行単位で記述され、上位処理装置21はそのテストプログラムを行単位で記憶装置から順次読出し、その読出したプログラム行について実行するか否かを制御する。

この上位の処理装置21には複数の下位の処理装置23A, 23B, 23C～23Nが接続されており、上位処理装置21は被試験素子のテスト状態をしながら読出したプログラム行を実行するかどうかを決め、実行するを決めたプログラム行の実際の実行は下位に設けられた複数の処理装置23A, 23B, 23C～23Nの何れかに委ねられる。

下位の各処理装置23A, 23B, 23C～23N

処理装置21が、その命令語体系でハードウェアモジュール25A, 25B, 25C～25Nに対して直接同じ処理をさせるより数十倍の処理速度が得られるように構成されている。このようにICテストシステムは、多数の入出力端子を有する被試験素子に対するDCテストをするに際し迅速な制御をすることができる。

また、処理装置23は、上位処理装置21から実行の委嘱を受けたプログラム行をそのまま実行するだけではなく、プログラム行を解説し、その解説結果に対して、被試験素子に対して予め情報が与えられている機能条件、例えば、最小クロック幅、入力条件、タイミング関係或いは禁止条件などをチェックし、誤った入力信号を与えてしまったり、甚だしくは被試験素子の破損を招くような信号状態に陥ることがないように判断しながら被試験素子に試験信号を出力し或いは出力信号の測定を行う。

ハードウェアモジュール25A, 25B, 25C～25Nは下位の処理装置23A, 23B, 23C

～23Nのプログラム行の実行に伴う制御信号が供給され、被試験素子の指定された入力端子に対してテスト信号、例えば5.25Vの直流信号を出力したり或いは被試験素子の指定された出力端子からの信号を測定することができる。

このハードウェアモジュール25A、25B、25C～25Nはマイクロプロセッサ26を含んでいてもよい。このマイクロプロセッサ26は、多数の論理素子を置き換えただけの、複雑な判断機能を必要としない決められたシーケンスを高速に行うものである。このマイクロプロセッサ26は汎用のプロセッサが使用され、その動作が予めプログラミングされていて、処理装置23からの命令により被試験素子に対する信号の入出力を制御することができる。

以上のように下位の処理装置23A、23B、23C～23Nは上位の処理装置21の制御の下に被試験素子に対する試験の実際の処理の全てを実行し、上位の処理装置21は下位の各処理装置23A、23B、23C～23Nのプログラム行

の実行制御及び試験結果の良否判定結果の収集など、I Cテストシステム全体の有機的動作の制御のみを行う。

更に、この発明では、下位の処理装置23A、23B、23C～23Nは被試験素子について得られた試験データについてその良否を判定し、その判定結果は被試験素子別にそれぞれ唯一一本づつの信号線27A、27B～27Nを介して上位の処理装置に供給される。

第2図はこの発明の実施例の要部の構成例を示す図である。この実施例では、4つの信号線27A、27B～27Dが示されており、最大で4個の被試験素子30A、30B～30Dの試験が同時にできるように構成されている場合である。下位の各処理装置23A、23B、23C～23Nと上位の処理装置21とが各信号線27A、27B～27Dを用いてそれぞれワイヤードオア回路31A、31B、31C～31Nと31Pとを介して接続され、下位の各処理装置23A、23B、23C～23Nはそれぞれの内部状態を示すステータス

11

32A、32B、32C～32Nを各信号線27A、27B～27Dに乗せることができるように構成される。

I Cテストシステムは各試験素子30A、30B～30Dに対して多くの試験を実施し、通常は、それらの試験項目の全てに合格した場合にだけその被試験素子30A、30B～30Dを良品と判定する。この信号線27A、27B～27Dは各被試験素子30A、30B～30Dに関しての最終判定結果をそれぞれ収集するのに用いられる。

例えば、第1の被試験素子30Aの出力信号は、ハードウェアモジュール25bにより測定され、その測定データはハードウェアモジュール25bを制御している下位の処理装置23A、23B、23Cに読み込まれる。下位の処理装置23A、23B、23Cはそれらの測定データを必要に応じて補正し、最終的に求められたデータ値と基準値とを比較して各データ値の良否を判定する。各判定結果は判定ステータス32aとして信号線27Aに出力される。第2の被試験素子30Bに関して

12

も、他のハードウェアモジュール25bを用いて同様に試験が実施され、その測定データは下位の処理装置23B、23C、…で良否が判定され、各試験項目の判定ステータス32bが信号線27Bに出力される。第3、第4の被試験素子30C、30Dに対する試験もその他のハードウェアモジュール25c、25dを用いて実施され、それぞれの判定ステータス32c、32dはそれぞれ信号線27C、27Dに出力される。

この発明の構成によれば、各試験項目について、良の判定されるとステータスは「0」に操作され、不良と判定されるとステータスが「1」に操作される。それらの「0」或いは「1」のステータスはワイヤードオア回路31A、31B、31C～31Nを介して信号線27A、27B～27Dに出力されるので、例えば、第1の信号線27Aに接続されるステータス32aが1つでも「1」に操作されていると、第1の信号線27Aは「1」の信号が乗せられて上位の処理装置21には「1」なる信号が供給される。つまり、第1の被試験素

子 30 A は不良と判断される。他方、信号線 27 A に接続される全てのステータス 32 a が「0」に操作されていると、この場合だけ信号線 27 A には「0」の信号が乗せられる。この「0」の信号が上位の処理装置 21 で読み取られると、被試験素子 30 A は良品と判断される。従って、上位の処理装置 21 までの信号線 27 A, 27 B ~ 27 D に乗せられている信号を一回読み込むだけで、被試験素子 30 A, 30 B ~ 30 D に関してそれぞれ全試験項目が良であったか否かの最終結果を知ることができ、次の処理を迅速且つ適切に進めることができる。

第2図での説明では、ハードウェアモジュール 25 a, 25 b ~ 25 d (第2図) は各被試験素子 30 A, 30 B ~ 30 D べつに特定して用いられるように説明したが、同一のハードウェアモジュール 25 が複数の被試験素子 30 A, 30 B ~ 30 D に対する試験に時分割的に割り当てられても良い。例えば、1つのハードウェアモジュール 25 A (第1図) が2つの被試験素子 30 A, 30 B に対し

15

用しているので制御信号を出力するまでの処理が非常に早くなり、被試験素子に対するテストを高速に行うことができる。

また、この発明の構成によれば、同時に複数の被試験素子について多数の項目にわたる試験をしても、その多項目の試験結果は被試験素子別に異なる信号線にまとめて出力されるようにした。従って、上位の処理装置は各被試験素子ごとに1本の信号線を通して唯1回だけステータスを読みめばそれらの良不良を直ちに知ることができ、試験速度の向上に多大な効果がある。

4. 図面の簡単な説明

第1図はこの発明の実施例を示す構成図、第2図はこの発明の要部を示す回路構成図、第3図は従来のICテストシステムの構成例を示す図である。

11: 中央処理装置、12: 制御線、13: ハードウェアモジュール、14: マイクロプロセッサ、21: 上位の処理装置、22: 制御用バス、23: 下位の処理装置、24: 制御線、25: ハードウェアモジュー

ルで使用されるように制御することもできる。この場合には、そのハードウェアモジュール 25 A による2つの測定データは、そのハードウェアモジュール 25 A を制御する下位の処理装置 23 A の内部において分別処理されてそれぞれ別のステータスとして信号線 27 A, 27 B に乗せるように制御される。

また下位の各処理装置 23 A, 23 B, 23 C ~ 23 N から上位の処理装置 21 への接続は信号線 27 とワイヤードオア回路 31 に限るものではなく、この発明を実現するための同等の手段を用いて構成しても良い。

「発明の効果」

以上に説明したように、この発明によれば、上位に在る処理装置は専らプログラム行の実行するを制御するように構成し、プログラム行の実際の実行は下位の複数の処理装置に分散させるようにした階層構造での制御を探るようにした。このように分散型アーキテクチャによる処理速度の向上を図ると共に、各階層毎に最適な命令語体系を使

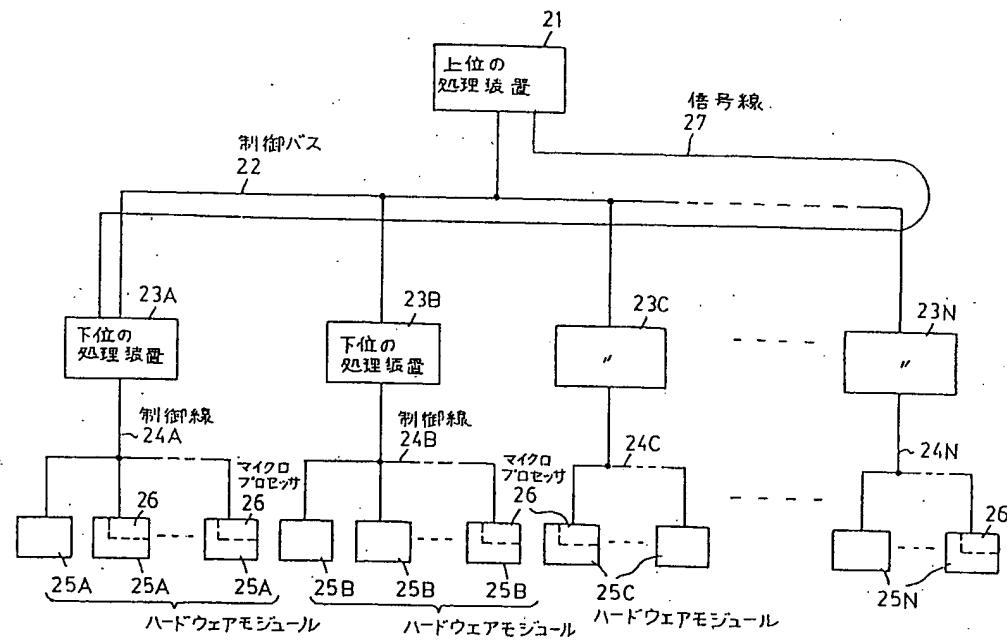
16

ル、26: マイクロプロセッサ、27: 信号線、30: 被試験素子、31: ワイヤードオア回路、32: ステータス。

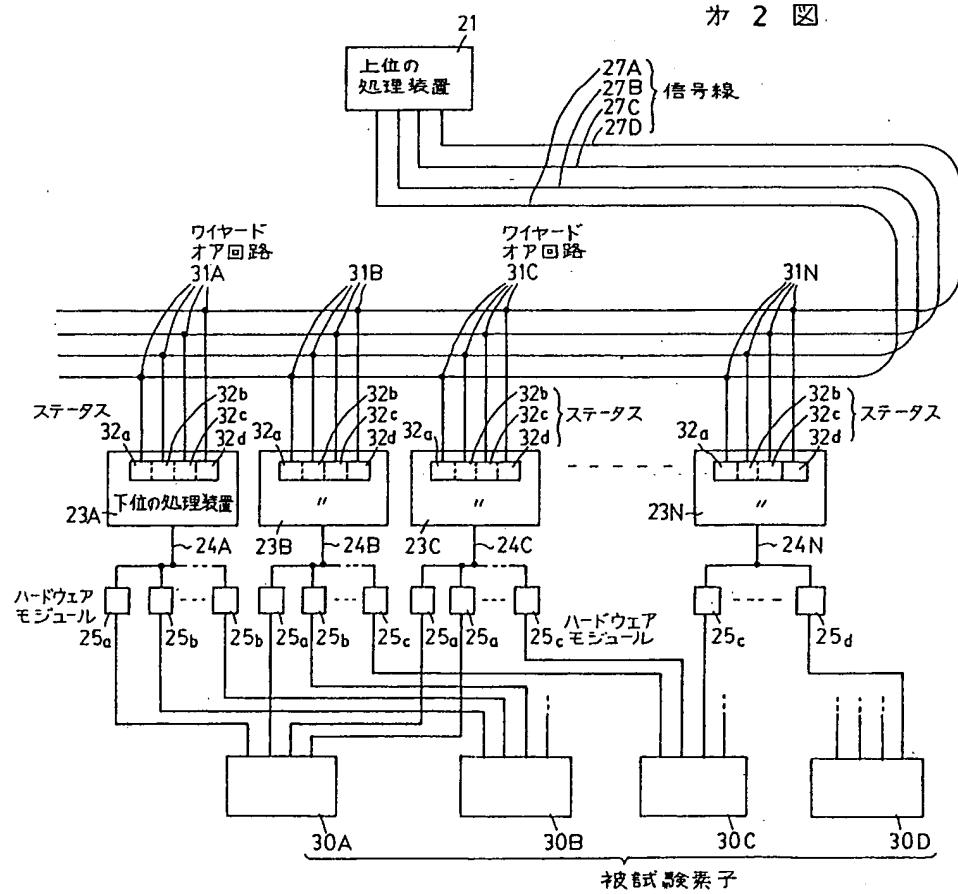
特許出願人 株式会社 アドバンテスト

代理人 草野 卓

カ 1 図



カ 2 図



ガ 3 図

